

**DE 10003454**  
**303.734us1**

1/9/1

DIALOG(R)File 351:Derwent WPI

(c) 2002 Thomson Derwent. All rts. reserv. 013354524    \*\*Image  
available\*\*

WPI Acc No: 2000-526463/200048 XRPX Acc No: N00-389263

**Delay locked loop for generating an advanced clock signal, uses a phase sensing pump to generate a voltage signal for a delay circuit that supplies, via an inverter, the phase-shifting circuit to generate an advanced clock signal**

Patent Assignee: SAMSUNG ELECTRONICS CO LTD (SMSU )

Inventor: LEE S; YOO C; LEE S B; YOO C S

Number of Countries: 005    Number of Patents: 006

**Patent Family:**

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
GB 2346275	A	20000802	GB 20001904	A	20000127	200048	B
DE 10003454	A1	20000803	DE 1003454	A	20000127	200048	
FR 2788902	A1	20000728	FR 2000988	A	20000126	200048	
JP 2000224030	A	20000811	JP 200017651	A	20000126	200053	
KR 2000051886	A	20000816	KR 992589	A	19990127	200121	
KR 295056	B	20010712	KR 992589	A	19990127	200226	

Priority Applications (No Type Date): KR 992589 A 19990127

**Patent Details:**

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
GB 2346275	A		27	H03L-007/081	
DE 10003454	A1			H03K-005/13	
FR 2788902	A1			H03L-007/10	
JP 2000224030	A		11	H03L-007/081	
KR 2000051886	A			H03L-007/06	
KR 295056	B			H03L-007/06	Previous Publ. patent KR 2000051886

**Abstract (Basic): GB 2346275 A**

NOVELTY - The delay locked loop generates an advanced clock signal.

The device consists of a phase sensing pump (26) that senses the difference between the device's clock signal and the reference clock signal. A delay circuit (22) delays the reference clock signal based on the output of the pump. An inversion controller (27) takes the signal generated by the delay circuit to generate a phase shift signal. A phase shifting circuit (23) then generates an advanced clock signal.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is included for a delay lock method.

USE - For generating an advanced clock signal.

ADVANTAGE - The delay locked loop device has an increased operational frequency region.

DESCRIPTION OF DRAWING(S) - The figure shown is a circuit diagram of the delay loop system.

Delay circuit (22)

Phase shifting circuit (23)

**THIS PAGE BLANK (USPTO)**

Phase sensing pump (26)  
Inversion controller (27)  
pp; 27 DwgNo 2/9

Title Terms: DELAY; LOCK; LOOP; GENERATE; ADVANCE; CLOCK; SIGNAL;  
PHASE; SENSE; PUMP; GENERATE; VOLTAGE; SIGNAL; DELAY; CIRCUIT; SUPPLY;  
INVERTER; PHASE; SHIFT; CIRCUIT; GENERATE; ADVANCE; CLOCK; SIGNAL

Derwent Class: S04; U13; U14; U23

International Patent Class (Main): H03K-005/13; H03L-007/06; H03L-  
007/081; H03L-007/10

International Patent Class (Additional): G06F-001/10; G11C-011/407;  
H03K-005/14; H04L-007/033

File Segment: EPI

Manual Codes (EPI/S-X): S04-B02X; U13-C04B1A; U14-A07C; U23-D01A

**THIS PAGE BLANK (USPTO)**



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 100 03 454 A 1**

⑤1 Int. Cl. 7:  
**H 03 K 5/13**  
H 04 L 7/033

⑦1 Aktenzeichen: 100 03 454.3  
⑦2 Anmeldetag: 27. 1. 2000  
⑦3 Offenlegungstag: 3. 8. 2000

DE 100 03 454 A 1

③0 Unionspriorität:  
99-2589 27. 01. 1999 KR  
⑦1 Anmelder:  
Samsung Electronics Co. Ltd., Suwon, Kyonggi, KR  
⑦4 Vertreter:  
Patentanwälte Wilhelm & Dauster, 70174 Stuttgart

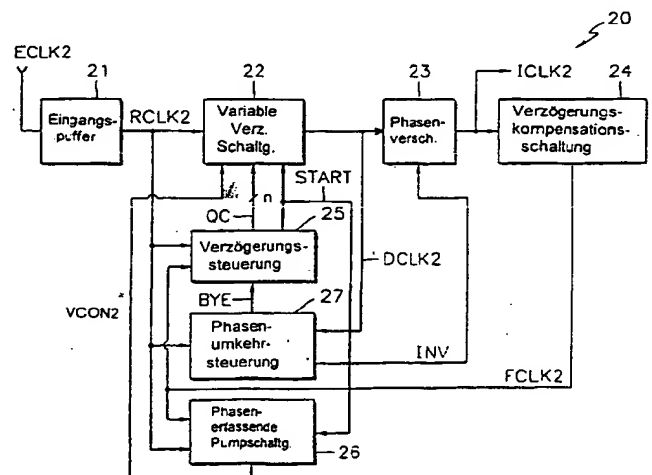
⑦2 Erfinder:  
Yoo, Chang-sik, Yongin, Kyungki, KR; Lee, Sang-bo,  
Yongin, Kyungki, KR

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

⑤4 Verzögerungsregelkreisschaltung und diese verwendendes Verzögerungssynchronisationsverfahren

⑤7 Die Erfindung bezieht sich auf eine Verzögerungsregelkreisschaltung zur Erzeugung eines Voraustaktsignals (ICLK2) synchron zu einem Referenztaktsignal (RCLK2) mit einer phasenerfassenden Pumpschaltung (26) zur Erfassung der Phasendifferenz zwischen diesen Signalen und einer variablen Verzögerungsschaltung (22) zur davon abhängigen Verzögerung des Referenztaktsignals sowie auf ein entsprechendes Verzögerungssynchronisationsverfahren.

Erfindungsgemäß sind eine Phasenumkehr-Steuereinheit (27) sowie eine Phasenverschiebungseinheit (23) und/oder eine Verzögerungssteuereinheit (25) vorgesehen, und die Schaltung für variable Verzögerung enthält vorzugsweise eine Mehrzahl von aktivierbaren Verzögerungseinheiten, um das Referenztaktsignal zur Erzeugung des Voraustaktsignals in steuerbarer Weise zu verzögern. Verwendung z. B. in integrierten Schaltungen mit hochintegrierten Speicherbauelementen.



DE 100 03 454 A 1

Die Erfindung bezieht sich auf eine Verzögerungsregelkreisschaltung nach dem Oberbegriff des Anspruchs 1 sowie auf ein Verzögerungssynchronisationsverfahren, das eine solche Verzögerungsregelkreisschaltung benutzt.

Ein Verzögerungsregelkreis kann zur Bereitstellung eines Taktsignals verwendet werden, das eine vorgegebene Phasenverschiebung gegenüber einem Referenztaktsignal aufweist. Dabei kann das vom Verzögerungsregelkreis gelieferte Taktsignal bezüglich des Referenztaktes in seiner Phase vorverschoben sein. Das vom Verzögerungsregelkreis erzeugte Signal wird vorliegend als ein Voraustaktsignal bezeichnet.

Im allgemeinen kann ein Voraustaktsignal in einem integrierten Schaltkreis (IC) mit relativ hohem Integrationsgrad benutzt werden, wie in einem Kombinationsspeicher mit Logik (MML), einem Rambus-DRAM (RDRAM) und einem synchronen Doppeldatenraten-DRAM (DDR). Das Referenztaktsignal wird an einem Eingangsanschluß eingegeben, um über das gesamte Bauelement hinweg verteilt zu werden. Das Referenztaktsignal, das an einer relativ weit vom Eingangsanschluß entfernten Stelle ankommt, kann stärker verzögert sein als das Referenztaktsignal an einer dem Eingangsanschluß benachbarten Stelle. Aufgrund dieses Verzögerungsunterschieds kann es ohne zusätzliche Maßnahmen schwierig sein, die Synchronisation für jeden Teil des IC aufrechtzuerhalten.

Daher kann der Verzögerungsregelkreis für den IC vorgesehen sein. Der Verzögerungsregelkreis befindet sich normalerweise in der Nähe eines Eingangsanschlusses, der ein Referenztaktsignal empfängt. Der Verzögerungsregelkreis empfängt das Referenztaktsignal und erzeugt ein Voraustaktsignal. Das Voraustaktsignal ähnelt dem Referenztaktsignal in Frequenz und Länge. Jedoch ist das Voraustaktsignal gegenüber dem Referenztaktsignal um eine Phase nach vorn verschoben, die der Verzögerungszeit von der nahen Position zu der entfernten Position bezüglich des Eingangsanschlusses entspricht, der das Referenztaktsignal empfängt. Das Referenztaktsignal wird nahe dem Eingangsanschluß des Referenztaktsignals verwendet, und das Voraustaktsignal wird zu Schaltkreisen übertragen, die weiter von dem Eingangsanschluß entfernt sind. Auf diese Weise kann in allen Teilen des IC ein synchronisiertes Taktsignal empfangen werden, und das synchronisierte Signal kann es dem IC erlauben, selbst bei einer sehr hohen Geschwindigkeit synchron mit dem Referenztaktsignal zu arbeiten.

Fig. 1 stellt ein schematisches Blockschaltbild einer herkömmlichen Verzögerungsregelkreisschaltung dar. Der herkömmliche Verzögerungsregelkreis 10 umfasst einen Eingangspuffer 12, einen Schaltkreis 14 für variable Verzögerung, eine phasenerfassende Pumpschaltung 16 und eine Verzögerungskompensationsschaltung 18. Der Eingangspuffer 12 puffert ein externes Taktsignal ECLK1, um ein Referenztaktsignal RCLK1 zu liefern.

Der Verzögerungsregelkreis steuert die Verzögerungszeit gemäß dem Schaltkreis 14 für variable Verzögerung derart, dass die Phase eines Rückkopplungstaktsignals FCLK1 mit der Phase des Referenztaktsignals RCLK1 übereinstimmt. Andere Verzögerungsregelkreise sind in den Patentschriften US 5.614.855, US 5.642.082 und US 5.875.219 beschrieben.

Die Schaltung für variable Verzögerung des herkömmlichen Verzögerungsregelkreises beinhaltet eine vorgegebene Anzahl  $n$  von Verzögerungseinheiten. Ein variabler Verzögerungsbereich ist durch die vorgegebene Anzahl von Verzögerungseinheiten festgelegt, was die Betriebsfrequenz begrenzen kann. Denn im Fall, dass eine Frequenz niedriger

als der Betriebsfrequenzbereich eingegeben wird, kann es sein, dass eine Signalinstabilität in Richtung eines gegenüber dem externen Anschlusssignal früheren Rückkopplungssignals überzeugt wird. In ähnlicher Weise kann es sein, dass die Phasenverschiebung des Schaltkreises für variable Verzögerung nicht verringert wird, wenn eine Frequenz höher als der Betriebsfrequenzbereich eingegeben wird, so dass eine Signalinstabilität in Richtung eines gegenüber dem externen Eingabesignal späteren Rückkopplungssignals erzeugt wird. Die Betriebsfrequenz des IC kann daher durch den Verzögerungsregelkreis bestimmt sein.

Der Erfindung liegt als technisches Problem die Bereitstellung einer Verzögerungsregelkreisschaltung der eingangs genannten Art und eines diesen verwendeten Verzögerungssynchronisationsverfahrens zugrunde, die einen möglichst hohen Betriebsfrequenzbereich aufweisen und/oder die Phase eines Rückkopplungstaktsignals möglichst gut an das Referenztaktsignal anpassen können.

Die Erfindung löst dieses Problem durch die Bereitstellung einer Verzögerungsregelkreisschaltung mit den Merkmalen des Anspruchs 1, 6 oder 8 und eines Verzögerungssynchronisationsverfahrens mit den Merkmalen des Anspruchs 9 oder 11. Die so definierten erfindungsgemäßen Verzögerungsregelkreisschaltungen und Verzögerungssynchronisationsverfahren erlauben eine Erhöhung des Betriebsfrequenzbereichs, und außerdem wird nicht übermäßig viel Zeit dafür benötigt, das Voraustaktsignal mit dem Referenztaktsignal zu synchronisieren.

Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Vorteilhafte, nachfolgend beschriebene Ausführungsformen der Erfindung sowie das zu deren besserem Verständnis oben erläuterte, herkömmliche Ausführungsbeispiel sind in den Zeichnungen dargestellt. Hierbei zeigen:

Fig. 1 ein Blockschaltbild einer herkömmlichen Verzögerungsregelkreisschaltung;

Fig. 2 ein Blockschaltbild einer erfindungsgemäßen Verzögerungsregelkreisschaltung,

Fig. 3 ein Blockschaltbild eines Schaltkreises für variable Verzögerung von Fig. 2,

Fig. 4 ein Blockschaltbild einer Phasenumkehr-Steereinheit von Fig. 2,

Fig. 5A ein Zeitsteuerungsdiagramm für Haupteinheiten von Fig. 4, wenn die Phasendifferenz eines verzögerten Taktsignals bezüglich eines Referenztaktsignals  $180^\circ$  oder weniger beträgt,

Fig. 5B ein Zeitsteuerungsdiagramm entsprechend Fig. 5A, jedoch für den Fall, dass die Phasendifferenz des verzögerten Taktsignals gegenüber dem Referenztaktsignal  $180^\circ$  oder mehr beträgt,

Fig. 6 ein Blockschaltbild einer Verzögerungssteereinheit von Fig. 2,

Fig. 7 ein Blockschaltbild einer Verschiebungssteereinheit von Fig. 6,

Fig. 8 ein Zeitsteuerungsdiagramm für Haupteinheiten von Fig. 7 und

Fig. 9 ein Blockschaltbild einer Phasenverschiebungseinheit von Fig. 2.

Nachfolgend werden erfindungsgemäße Ausführungsbeispiele unter Bezugnahme auf die Zeichnungen beschrieben, wobei funktionell entsprechende Elemente jeweils mit gleichen Bezugszeichen versehen sind.

Fig. 2 zeigt eine Verzögerungsregelkreisschaltung 20 mit einem Eingangspuffer 21, einem Schaltkreis 22 für variable Verzögerung, nachfolgend als variable Verzögerungsschaltung bezeichnet, einer Phasenverschiebungseinheit 23, einer Verzögerungskompensationsschaltung 24, einer Verzöge-

rekt zugeführt werden kann.

#### Patentansprüche

1. Verzögerungsregelkreisschaltung zur Erzeugung eines Voraustaktsignals (ICLK2) synchron zu einem Referenztaktsignal (RCLK2), mit
  - einer phasenerfassenden Pumpschaltung (26) zur Erfassung der Phasendifferenz zwischen einem mit dem Voraustaktsignal verknüpften Signal und einem mit dem Referenztaktsignal verknüpften Signal, um ein Steuersignal (VCON2) bereitzustellen, das einen Spannungspegel in Abhängigkeit von der Richtung der Phasendifferenz steuert, und
  - einem Schaltkreis (22) für variable Verzögerung, der das Referenztaktsignal in Abhängigkeit vom Spannungspegel des von der phasenerfassenden Pumpschaltung zugeführten Steuersignals verzögert.
- gekennzeichnet durch
  - eine Phasenumkehr-Steuereinheit (27) zum Vergleichen der Phase des Referenztaktsignals (RCLK2) mit derjenigen eines durch den Schaltkreis (22) für variable Verzögerung verzögerten Taktsignals (DCLK2), um ein Phasenverschiebungs-Steuersignal (INV) zu erzeugen, und
  - eine Phasenverschiebungseinheit (23), die das Voraustaktsignal (ICLK2) durch Verschieben des verzögerten Taktsignals um einen Referenzphasenwert erzeugt, wenn die Phasendifferenz des verzögerten Taktsignals gegenüber dem Referenztaktsignal größer als der Referenzphasenwert ist, und keine Phasenverschiebung vornimmt, wenn die Phasendifferenz des verzögerten Taktsignals gegenüber dem Referenztaktsignal geringer als der Referenzphasenwert ist.
2. Verzögerungsregelkreisschaltung nach Anspruch 1, weiter dadurch gekennzeichnet, dass der Referenzphasenwert  $180^\circ$  bzw.  $\pi$  beträgt.
3. Verzögerungsregelkreisschaltung nach Anspruch 1 oder 2, weiter dadurch gekennzeichnet, dass das Phasenverschiebungs-Steuersignal aktiviert wird, wenn die Phasendifferenz des verzögerten Taktsignals gegenüber dem Referenztaktsignal höher als der Referenzphasenwert ist.
4. Verzögerungsregelkreisschaltung nach einem der Ansprüche 1 bis 3, weiter dadurch gekennzeichnet, dass die Phasenverschiebungseinheit folgende Elemente enthält:
  - ein erstes Logikgatter (91), das durch Deaktivierung des Phasenverschiebungs-Steuersignals (INV) aktiviert wird und das verzögerte Taktsignal (DCLK2) invertiert,
  - ein zweites Logikgatter (93), das durch Aktivierung des Phasenverschiebungs-Steuersignals aktiviert wird und das invertierte verzögerte Taktsignal invertiert, und
  - ein drittes Logikgatter (95) zur NAND-Verknüpfung des Ausgangssignals des ersten Logikgatters und des Ausgangssignals des zweiten Logikgatters, um ein Ausgangssignal zu erzeugen, welches dieselbe Phase wie das verzögerte Taktsignal hat, wenn das Phasenverschiebungs-Steuersignal deaktiviert ist, und dieselbe Phase wie das invertierte verzögerte Taktsignal hat, wenn das Phasenverschiebungs-Steuersignal aktiviert ist.
5. Verzögerungsregelkreisschaltung nach einem der

Ansprüche 1 bis 4, weiter gekennzeichnet durch eine Verzögerungssteuereinheit (25), welche die Phasendifferenz zwischen dem Referenztaktsignal und einem Rückkopplungstaktsignal vergleicht, um ein Ausgangssignal zur Steuerung des Maßes an Verzögerung des Referenztaktsignals zu liefern, wobei die Verzögerungssteuereinheit in Abhängigkeit von einem durch die Phasenumkehr-Steuereinheit (27) erzeugten Verzögerungssteuerungs-Freigabesignal (BYE) aktiviert wird.

6. Verzögerungsregelkreisschaltung zur Erzeugung eines Voraustaktsignals (ICLK2) synchron zu einem Referenztaktsignal (RCLK2), mit

- einer phasenerfassenden Pumpschaltung (26) zur Erfassung der Phasendifferenz zwischen einem mit dem Voraustaktsignal verknüpften Signal und einem mit dem Referenztaktsignal verknüpften Signal, um ein Steuersignal (VCON2) bereitzustellen, das einen Spannungspegel in Abhängigkeit von der Richtung der Phasendifferenz steuert, und
- einem Schaltkreis (22) für variable Verzögerung, der das Referenztaktsignal in Abhängigkeit vom Spannungspegel des von der phasenerfassenden Pumpschaltung zugeführten Steuersignals verzögert,

dadurch gekennzeichnet, dass

- eine Verzögerungssteuereinheit (25) vorgesehen ist, welche die Phasendifferenz eines mit dem Voraustaktsignal verknüpften Signals gegenüber dem Referenztaktsignal (RCLK2) erfasst, um damit eine Zählsignalgruppe (QC) zu versorgen, welche die Anzahl von wirksamen Verzögerungseinheiten im Schaltkreis (22) für variable Verzögerung steuert, und
- der Schaltkreis (22) für variable Verzögerung mehrere Verzögerungseinheiten umfasst, welche das Referenztaktsignal zur Erzeugung des Voraustaktsignals in Abhängigkeit vom Spannungspegel des von der phasenerfassenden Pumpschaltung zugeführten Steuersignals verzögern, wobei die Anzahl von in den Schaltkreis für variable Verzögerung einbezogenen Verzögerungseinheiten außerdem durch die Phasendifferenz des mit dem Voraustaktsignal verknüpften Signals gegenüber dem Referenztaktsignal gesteuert wird.

7. Verzögerungsregelkreisschaltung nach Anspruch 6, weiter gekennzeichnet durch eine Phasenverschiebungseinheit (23), welche die Phase des verzögerten Taktsignals mit derjenigen des Referenztaktsignals vergleicht und die Phase des verzögerten Taktsignals in Abhängigkeit von der durch den Vergleich festgestellten Phasendifferenz verschiebt, um das Voraustaktsignal zu erzeugen.

8. Verzögerungsregelkreisschaltung zur Erzeugung eines Voraustaktsignals (ICLK2) synchron zu einem Referenztaktsignal (RCLK2), mit

- einer phasenerfassenden Pumpschaltung (26) zur Erfassung der Phasendifferenz zwischen einem mit dem Voraustaktsignal verknüpften Signal und einem mit dem Referenztaktsignal verknüpften Signal, um ein Steuersignal (VCON2) bereitzustellen, das einen Spannungspegel in Abhängigkeit von der Richtung der Phasendifferenz steuert, und
- einem Schaltkreis (22) für variable Verzögerung, der das Referenztaktsignal in Abhängigkeit vom Spannungspegel des von der phasenerfassenden

viert und erfaßt die Phasendifferenz zwischen dem Referenztaktsignal RCLK2 und dem Rückkopplungstaktsignal FCLK2, um ein Registersteuersignal RSTB und das analoge Startsignal START zu erzeugen. Das analoge Startsignal START ist ein Signal, das die phasenerfassende Pumpschaltung 26 aktiviert, nachdem die Anzahl an freigegebenen Verzögerungseinheiten in der variablen Verzögerungsschaltung 22 bestimmt ist. Das analoge Startsignal START gelangt auf hohen Pegel, wenn die Anzahl der Verzögerungseinheiten der variablen Verzögerungsschaltung 22 gemäß Fig. 2 eingestellt ist. Das Registersteuersignal RSTB geht in einen Logikzustand, wobei dessen Phase mit derjenigen des Rückkopplungssignals FCLK2 korrespondiert, das gegenüber dem Referenztaktsignal RCLK2 nachhinkt. Das Registersteuersignal RSTB steuert das Schieberegister 63.

Das Schieberegister 63 wird durch das Registersteuersignal RSTB aktiviert und empfängt das Rückkopplungssignal FCLK2, um eine Zählsignalgruppe QC[n : 1] mit n Signalen zu erzeugen. Die Zählsignalgruppe QC[n : 1] ist eine Signalgesamtheit, bei der eines der n Signale aktiviert wird. Die Zählsignalgruppe QC[n : 1] aktiviert ein Signal, das die Anzahl an Verzögerungseinheiten der Verzögerungsstufe 31 der variablen Verzögerungsschaltung 22 gemäß Fig. 2 erhöht, immer dann während eines Intervalls, in welchem das Registersteuersignal RSTB auf hohem Pegel liegt, wenn das Rückkopplungssignal FCLK2 aktiviert ist.

Fig. 7 zeigt als Blockschaltbild eine Realisierung der Verschiebesteuereinheit 61 von Fig. 6. Fig. 8 zeigt ein Zeitsteuerungsdiagramm der hauptsächlich, sich auf Fig. 7 beziehenden Signale. In einem Intervall T1 von Fig. 8 geht die Phase des Rückkopplungssignals FCLK2 derjenigen des Referenztaktsignals RCLK2 vor. In einem Intervall T2 von Fig. 8 bleibt die Phase des Rückkopplungssignals FCLK2 gegenüber derjenigen des Referenztaktsignals RCLK2 zurück.

Die Verschiebesteuereinheit 61 wird nachstehend unter Bezugnahme auf die Fig. 7 und 8 erläutert. Sie enthält zwei Flip-Flops 71, 73 und einen Zwischenspeicher 77. Die Flip-Flops 71, 73 und der Zwischenspeicher 77 werden durch Aktivierung des Verzögerungssteuerungs-Freigabesignals BYE freigegeben. Anfänglich befindet sich ein Ausgangssignal N80 des Zwischenspeichers 77 auf hohem Pegel, während sich das analoge Startsignal START anfänglich auf niedrigem Pegel befindet. Das Registersteuersignal RSTB liegt anfänglich auf hohem Pegel.

Dadurch ergibt sich folgender Betrieb der Verschiebesteuereinheit 61 während des Intervalls T1 von Fig. 8, in welchem die Phase des Rückkopplungstaktsignals FCLK2 derjenigen des Referenztaktsignals RCLK2 voreilt. Im Intervall T1 befindet sich das Referenztaktsignal RCLK2, welches ein Dateneingabesignal des Flip-Flops 71 darstellt, auf niedrigem Pegel, wenn das Rückkopplungssignal FCLK2, das ein Takteingabesignal des Flip-Flops 71 darstellt, zu einem gezeigten Zeitpunkt t1 aktiviert wird. Dadurch wird ein Ausgangssignal N72 des Flip-Flops 71 auf einem niedrigen Logikpegel gehalten. Ein Ausgangssignal N74 des Flip-Flops 73 gelangt zu dem Zeitpunkt auf hohen Pegel, zu welchem das Rückkopplungssignal FCLK2 aktiviert wird. Hingegen wird ein Ausgangssignal N76 eines NAND-Gatters 75 auf einem hohen Logikpegel gehalten, so dass das Ausgangssignal N80 des Zwischenspeichers 77 auf einem hohen Logikpegel gehalten wird. Entsprechend werden das analoge Startsignal START und das Registersteuersignal RSTB auf ihrem niedrigen bzw. hohen Logikpegel und damit ihrem anfänglichen Zustand gehalten. Im Intervall T1 wird daher die phasenerfassende Pumpschaltung 26 von Fig. 2 nicht aktiviert, und das Schieberegister 63 von Fig. 6 wird aktiviert, um die Anzahl von Verzögerungsein-

heiten der variablen Verzögerungsschaltung 22 von Fig. 2 zu steuern.

Nachstehend wird der Betrieb der Verschiebesteuereinheit 61 im Intervall T2 von Fig. 8 erläutert, in welchem die Phase des Rückkopplungssignals FCLK2 derjenigen des Referenztaktsignals RCLK2 nacheilt. Zu einem Zeitpunkt t2, zu dem das Rückkopplungssignal FCLK2 aktiviert wird, das ein Takteingabesignal des Flip-Flops 71 darstellt, befindet sich das Referenztaktsignal RCLK2, das ein Dateneingabesignal des Flip-Flops 71 darstellt, auf hohem Pegel. Das Ausgangssignal N72 des Flip-Flops 71 gelangt auf hohen Pegel. Daher wechselt das Ausgangssignal N76 des NAND-Gatters 75 auf niedrigen Logikpegel, und das Ausgangssignal N80 des Zwischenspeichers 77 wechselt ebenfalls auf niedrigen Pegel. Das analoge Startsignal START geht auf hohen Logikpegel über, so dass die phasenerfassende Pumpschaltung 26 von Fig. 2 aktiviert wird. Das Registersteuersignal RSTB gelangt auf niedrigen Pegel, so dass das Schieberegister 63 von Fig. 6 aktiviert wird.

Fig. 9 zeigt als Blockschaltbild eine Realisierung der Phasenverschiebungseinheit 23 von Fig. 2. Wie daraus ersichtlich, beinhaltet die Phasenverschiebungseinheit 23 ein erstes, zweites und drittes Logikgatter 91, 93 und 95. Das erste Logikgatter 91 invertiert das verzögerte Taktsignal DCLK2 und gibt das invertierte Signal ab, wenn das Phasenverschiebungs-Steuersignal INV deaktiviert ist. Das zweite Logikgatter 93 invertiert das invertierte Signal des verzögerten Taktsignals DCLK2 und gibt das invertierte Signal ab, wenn das Phasenverschiebungs-Steuersignal INV aktiviert ist. Das dritte Logikgatter 95 führt eine NAND-Verknüpfung eines Ausgangssignals N93 des ersten Logikgatters 91 mit einem Ausgangssignal N94 des zweiten Logikgatters 93 aus und gibt ein entsprechendes Ausgangssignal ab.

Vorzugsweise ist das Ausgangssignal des dritten Logikgatters 95 mit dem Voraustaktsignal ICLK2 verknüpft. Das Voraustaktsignal hat dieselbe Phase wie das verzögerte Taktsignal DCLK2, wenn das Phasenverschiebungs-Steuersignal INV deaktiviert ist. Das Voraustaktsignal ICLK2 hat dieselbe Phase wie das invertierte Signal des verzögerten Taktsignals DCLK2.

Unter nochmaliger Bezugnahme auf Fig. 2 lässt sich der Betriebsablauf der dortigen Verzögerungsregelkreisschaltung 20 wie folgt beschreiben. Die Phasendifferenz des verzögerten Taktsignals DCLK2 gegenüber dem Referenztaktsignal RCLK2 wird erfasst, um festzustellen, ob das verzögerte Taktsignal DCLK2 invertiert wird oder nicht. Wenn die Inversion des verzögerten Taktsignals DCLK2 festgestellt wird, wird die Anzahl von Verzögerungseinheiten in der variablen Verzögerungsschaltung 22 bestimmt. Nach Bestimmung der Anzahl von Verzögerungseinheiten in der variablen Verzögerungsschaltung 22 erfährt die Verzögerungszeit gemäß der variablen Verzögerungsschaltung eine Analogsteuerung durch das Analogsteuersignal VCON2, das von der phasenerfassenden Pumpschaltung 26 abgegeben wird.

Während oben ein mögliches Ausführungsbeispiel des erfindungsgemäßen Verzögerungsregelkreises und eines zugehörigen Verzögerungssynchronisationsverfahrens beschrieben wurden, versteht es sich, dass die Erfindung generell für alle Synchronisationsregelkreise anwendbar ist, die ein Voraustaktsignal synchron zu einem Referenztaktsignal erzeugen. Als weitere Modifikation kann vorgesehen sein, dass das von der Phasenverschiebungseinheit 23 abgegebene Voraustaktsignal ICLK2, das im oben beschriebenen Beispiel der Verzögerungssteuereinheit 25 und der phasenerfassenden Pumpschaltung 26 über die Verzögerungs kompensationschaltung 24 zugeführt wird, der Verzögerungssteuereinheit 25 und der phasenerfassenden Pumpschaltung 26 di-



rungssteuereinheit 25, einer Phasenumkehr-Steuereinheit 27 und einer phasenerfassenden Pumpschaltung 26.

Der Eingangspuffer 21 puffert ein externes Taktsignal RCLK2, um ein Referenztaktsignal RCLK2 zu liefern. Die variable Verzögerungsschaltung 22 empfängt das Referenztaktsignal RCLK2, um ein verzögertes Taktsignal DCLK2 zur Erzeugung eines Voraustaktsignals ICLK2 zu generieren. Die variable Verzögerungsschaltung 22 umfasst mehrere Verzögerungseinheiten. Das verzögerte Taktsignal DCLK2 ist ein Signal, das mittels Verzögern des Referenztaktsignals RCLK2 durch die entsprechende Verzögerungseinheit erhalten wird. Vorzugsweise wird die Anzahl  $n$  von Verzögerungseinheiten, die in der variablen Verzögerungsschaltung 22 aktiviert sind, durch eine Gruppe von Zählsignalen QC gesteuert, die von der Verzögerungssteuereinheit 25 abgegeben werden.

Die Phasenverschiebungseinheit 23 empfängt das verzögerte Taktsignal DCLK2 und stellt das Voraustaktsignal ICLK2 bereit. Die Phasenbeziehung zwischen dem Voraustaktsignal ICLK2 und dem verzögerten Taktsignal DCLK2 ist durch die Phasendifferenz des verzögerten Taktsignals DCLK2 gegenüber dem Referenztaktsignal RCLK2 bestimmt. Speziell wird, wenn die Phasendifferenz des verzögerten Taktsignals DCLK2 gegenüber dem Referenztaktsignal RCLK2 größer als ein vorgegebener Referenzphasenwert ist, die Phase des verzögerten Taktsignals DCLK2 um den Referenzphasenwert verschoben, um das Voraustaktsignal ICLK2 zu erzeugen. Wenn die Phasendifferenz des verzögerten Taktsignals DCLK2 gegenüber dem Referenztaktsignal RCLK2 geringer als der Referenzphasenwert ist, wird das Voraustaktsignal ICLK2 mit derselben Phase wie das verzögerte Taktsignal DCLK2 erzeugt.

Vorzugsweise beträgt der Referenzphasenwert  $180^\circ$  bzw.  $\pi$ , so dass sich das Voraustaktsignal ICLK2 als ein invertiertes Signal des verzögerten Taktsignals DCLK2 ergibt, wenn die Phasendifferenz des verzögerten Taktsignals DCLK2 gegenüber dem Referenztaktsignal RCLK2  $180^\circ$  oder mehr beträgt. Wenn die Phasendifferenz des verzögerten Taktsignals DCLK2 gegenüber dem Referenztaktsignal RCLK2  $180^\circ$  oder weniger beträgt, entspricht das Voraustaktsignal ICLK2 einem nicht-invertierten Signal des verzögerten Taktsignals DCLK2.

Die Verzögerungskompensationsschaltung 24 ist ein Schaltkreis, der zur Kompensation für die Phasenverschiebungseinheit 23 dient, d. h. einer Transferverzögerungszeit für den Transfer von einem Ausgabepunkt des Verzögerungsregelkreises 20 zu einem Punkt, an welchem das Voraustaktsignal ICLK2 verwendet wird. Wenn eine Verzögerungszeit erzeugt wird, während das Referenztaktsignal RCLK2 die phasenerfassende Pumpschaltung 26 erreicht, kompensiert die Verzögerungskompensationsschaltung 24 diese Verzögerungszeit.

Wenn die Verzögerungskompensationsschaltung 24 nicht in dem Verzögerungsregelkreis 20 enthalten ist, kann ein Versatz zwischen einem Punkt nahe des Ausgabepunktes des Verzögerungsregelkreises 20 und einem Punkt fern von diesem Ausgabepunkt aufgrund der Transferverzögerungszeit auftreten. Selbst wenn jedoch die Verzögerungskompensationsschaltung 24 nicht in dem Verzögerungsregelkreis enthalten ist, kann noch eine erfindungsgemäße Wirkung erzielt werden. Außerdem kann ein Ausgangssignal der Verzögerungskompensationsschaltung 24 als ein Rückkopplungssignal FCLK2 dienen, das der phasenerfassenden Pumpschaltung 26 zugeführt wird.

Die phasenerfassende Pumpschaltung 26 erfasst die Phasendifferenz zwischen dem Referenztaktsignal RCLK2 und dem Rückkopplungssignal FCLK2 und erzeugt ein analoges Steuersignal VCON2. Der Spannungspegel des analogen

Steuersignals VCON2 wird durch die Richtung der Phasendifferenz des Rückkopplungssignals FCLK2 gegenüber dem Referenztaktsignal RCLK2 gesteuert. Wenn die Phase des Rückkopplungssignals FCLK2 gegenüber derjenigen des Referenztaktsignals RCLK2 voreilt, ändert sich der Spannungspegel des analogen Steuersignals VCON2 in Richtung eines Anwachsens der Verzögerungszeit gemäß der variablen Verzögerungsschaltung 22. Wenn die Phase des Rückkopplungssignals FCLK2 gegenüber derjenigen des Referenztaktsignals RCLK2 nacheilt, ändert sich der Spannungspegel des analogen Steuersignals VCON2 in Richtung einer Verringerung der Verzögerungszeit gemäß der variablen Verzögerungsschaltung 22. Vorzugsweise wird die phasenerfassende Pumpschaltung 26 durch ein Signal START aktiviert, nachdem die Anzahl  $n$  von durch die variable Verzögerungsschaltung 22 aktivierten Verzögerungseinheiten feststeht.

Die Phasenumkehr-Steuereinheit 27 erfasst die Phasendifferenz zwischen dem Referenztaktsignal RCLK2 und dem verzögerten Taktsignal DCLK2 und gibt ein Phasenverschiebungs-Steuersignal INV und ein Verzögerungssteuerungs-Freigabesignal BYE ab. Das Phasenverschiebungs-Steuersignal INV steuert die Phasenverschiebungseinheit 23. Wenn die Phasendifferenz des verzögerten Taktsignals DCLK2 gegenüber dem Referenztaktsignal RCLK2 größer als der Referenzphasenwert ist, wird das Phasenverschiebungs-Steuersignal INV aktiviert. Wenn die Phasendifferenz des verzögerten Taktsignals DCLK2 gegenüber dem Referenztaktsignal RCLK2 niedriger als der Referenzphasenwert ist, bleibt das Phasenverschiebungs-Steuersignal INV deaktiviert. Vorzugsweise beträgt der Referenzphasenwert  $180^\circ$  bzw.  $\pi$ .

Wenn das Phasenverschiebungs-Steuersignal INV aktiviert ist, invertiert die Phasenverschiebungseinheit 23 das verzögerte Taktsignal DCLK2, um das Voraustaktsignal ICLK2 zu generieren. Das Verzögerungssteuerungs-Freigabesignal BYE wird zu dem Zweck aktiviert, die Verzögerungssteuereinheit 25 zu aktivieren, wenn festgestellt wurde, ob das verzögerte Taktsignal DCLK2 invertiert wurde oder nicht, d. h. ob das Phasenverschiebungs-Steuersignal aktiviert ist oder nicht.

Die Verzögerungssteuereinheit 22 erfasst die Phasendifferenz zwischen dem Referenztaktsignal RCLK2 und dem Rückkopplungssignal FCLK2, um das analoge Startsignal START und die Gruppe von Zählsignalen QC bereitzustellen. Die Zählsignalgruppe QC umfasst eine Anzahl  $n$  von Signalen, d. h. Signale QC[i], mit  $i = 1, \dots, n$ . Die Zählsignale QC[i] werden gemäß der Phasendifferenz zwischen dem Referenztaktsignal RCLK2 und dem Rückkopplungssignal FCLK2 in wachsender Anzahl, d. h. mit ansteigendem Parameter  $i$ , aktiviert. Die Anzahl der in der variablen Verzögerungsschaltung 22 aktivierten Verzögerungseinheiten wird somit durch die Zählsignalgruppe QC gesteuert. Genauer gesagt, wird die Anzahl  $n$  in der variablen Verzögerungsschaltung 22 aktivierten Verzögerungseinheiten durch die Breite der Phasendifferenz zwischen dem Referenztaktsignal RCLK2 und dem Rückkopplungssignal FCLK2 bestimmt.

Das analoge Startsignal START wird zu dem Zweck aktiviert, die phasenerfassende Pumpschaltung 26 zu aktivieren, nachdem die Anzahl  $n$  in der variablen Verzögerungsschaltung 22 freigegebenen Verzögerungseinheiten bestimmt ist.

Fig. 3 zeigt eine Realisierung der variablen Verzögerungsschaltung 22 von Fig. 2 in einem Blockschaltbild. Wie daraus ersichtlich, beinhaltet die variable Verzögerungsschaltung 22 eine Anzahl  $n$  von Verzögerungseinheiten 31<sub>i</sub>, mit  $i = 1, \dots, n$ . Die Anzahl  $n$  von Verzögerungseinheiten wird durch die Zählsignalgruppe QC[n : 1] gesteuert.

Jede Verzögerungseinheit  $31_i$  empfängt Daten über einen ersten Eingangsanschluß D1 und einen zweiten Eingangsanschluß D2 und gibt Daten über einen Ausgangsanschluß out ab. Die Verzögerungseinheiten  $31_1$  verzögern ein über den zweiten Eingangsanschluß D2 eingegebenes Signal um einen vorgegebenen Verzögerungswert  $T_d$ , um den verzögerten Wert auszugeben, wenn das zu der jeweiligen Verzögerungseinheit gehörige Zählsignal  $QC[i]$  aktiviert ist. Wenn das zugehörige Zählsignal  $QC[i]$  deaktiviert ist, wird das über den ersten Eingangsanschluß D2 eingegebene Signal um den Verzögerungswert  $T_d$  verzögert, um den verzögerten Wert auszugeben. Es ist jeweils ein Signal der Zählsignalgruppe  $QC[n:1]$  aktiviert.

An den ersten Eingangsanschluß D1 der ersten Verzögerungseinheit  $31_n$  wird eine Massespannung  $V_{ss}$  angelegt, während an den ersten Eingangsanschluß D1 einer jeweils nächsten Verzögerungseinheit  $31_i$ , mit  $i = n-1, \dots, 1$ , das Ausgangssignal der jeweils vorherigen Verzögerungseinheit angelegt wird. Das Referenztaktsignal  $RCLK2$  wird an den zweiten Eingangsanschluß D2 der Verzögerungseinheiten  $31_i$ , mit  $i = 1, \dots, n$ , angelegt.

Wenn folglich das Zählsignal  $QC[n]$ , das die erste Verzögerungseinheit  $31_n$  freigibt, aktiviert wird, wird das Referenztaktsignal  $RCLK2$  über den zweiten Eingangsanschluß D2 der Verzögerungseinheit  $31_n$  eingegeben, um ein Signal abzugeben, das durch  $n$  Verzögerungseinheiten verzögert ist. Daher ist das Ausgangssignal  $DCLK2$  der letzten Verzögerungseinheit  $31_1$  um  $n \cdot T_d$  gegenüber dem Referenztaktsignal  $RCLK2$  verzögert.

Wenn das die letzte Verzögerungseinheit  $31_1$  freigebende Zählsignal  $QC[1]$  aktiviert wird, wird das Referenztaktsignal  $RCLK2$  über den zweiten Eingangsanschluß D2 der Verzögerungseinheit  $31_1$  eingegeben, um ein Signal abzugeben, das durch eine Verzögerungseinheit verzögert ist. Daher wird in diesem Fall das Ausgangssignal  $DCLK2$  der letzten Verzögerungseinheit  $31_1$  um  $T_d$  gegenüber dem Referenztaktsignal  $RCLK2$  verzögert.

Somit umfasst erfindungsgemäß die variable Verzögerungsschaltung  $n$  Verzögerungseinheiten, die durch die Zählsignalgruppe  $QC$  gesteuert werden, wobei das Ausgangssignal der letzten Verzögerungseinheit  $31_1$  der variablen Verzögerungsschaltung 22 das verzögerte Taktsignal  $DCLK2$  darstellt. Die variable Verzögerungsschaltung 22 kann zusätzlich eine Verzögerungseinheit aufweisen, die unabhängig von der Aktivierung des Zählsignals  $QC$  freigegeben wird. Weiter alternativ kann sie Verzögerungseinheiten beinhalten, welche das Referenztaktsignal für eine vom Verzögerungswert  $T_d$  verschiedene Zeitspanne verzögern.

Sobald die Anzahl an Verzögerungseinheiten der variablen Verzögerungsschaltung 22 festliegt, wird das analoge Startsignal  $START$  auf hohen Pegel aktiviert. Die Anzahl an Verzögerungseinheiten der variablen Verzögerungsschaltung 22 wird dann nicht mehr geändert, und die phasenerfassende Pumpschaltung 26 wird aktiviert.

Fig. 4 zeigt in einem Blockschaltbild eine Realisierung der Phasenumkehr-Steuereinheit 27 von Fig. 2. Fig. 5A stellt ein Zeitsteuerungsdiagramm für die Haupteinheiten von Fig. 4 dar, wenn die Phasendifferenz des verzögerten Taktsignals  $TCLK2$  gegenüber dem Referenztaktsignal  $RCLK2$   $180^\circ$  oder weniger beträgt, während Fig. 5B ein entsprechendes Zeitsteuerungsdiagramm für den Fall zeigt, dass diese Phasendifferenz  $180^\circ$  oder mehr beträgt.

Wie aus Fig. 4 ersichtlich, werden in der Phasenumkehr-Steuereinheit 27 enthaltene Flip-Flops 45, 47, 57 und 59 durch Aktivierung eines Initialisierungssignals  $INITB$  freigegeben. Das Initialisierungssignal  $INITB$  wird aktiviert, wenn eine stabile externe Spannungsversorgung anliegt oder ein anfängliches Betriebsmodusprogramm im Fall ei-

nes synchronen DRAM, d. h. eines SDRAM, abgeschlossen ist.

Der Betrieb der Phasenumkehr-Steuereinheit 27 für den Fall, dass eine Phasendifferenz  $Q_1$  des verzögerten Taktsignals  $TCLK2$  gegenüber dem Referenztaktsignal  $RCLK2$  von  $\pi$  oder weniger vorliegt, wird nachfolgend unter Bezugnahme auf die Fig. 4 und 5A erläutert. Anfänglich liegen die Ausgangssignale  $N46$  und  $N48$  von NAND-Gattern 49 und 51 auf hohem Pegel. Das Phasenverschiebungs-Steuersignal  $INV$  liegt anfänglich auf niedrigem Pegel, und ein Ausgangssignal  $N50$  eines Inverters 55 liegt anfänglich auf hohem Pegel.

Wenn das verzögerte Taktsignal  $DCLK2$ , das ein Takteingangssignal für die Flip-Flops 45 und 47 generiert, auf hohem Logikpegel aktiviert wird, gelangt das Referenztaktsignal  $RCLK2$  auf hohen Logikpegel, wie zu einem Zeitpunkt  $t_1$  in Fig. 5A veranschaulicht. Während das Ausgangssignal  $N46$  des NAND-Gatters 49 auf hohem Pegel gehalten wird, gelangt das Ausgangssignal  $N48$  des NAND-Gatters 51 auf niedrigen Pegel. Dadurch bleibt das Phasenverschiebungs-Steuersignal  $INV$  wie bisher auf niedrigem Pegel. Das Ausgangssignal  $N50$  des Inverters 55 wechselt auf niedrigen Pegel. Das Initialisierungssignal  $INITB$  wird auf niedrigem Pegel aktiviert, und dann wird das Verzögerungssteuerungs-Freigabesignal  $BYE$  in Abhängigkeit von der zweiten ansteigenden Flanke des zum zweiten Mal aktivierten verzögerten Taktsignals  $DCLK2$  aktiviert.

Der Betrieb der Phasenumkehr-Steuereinheit 27 wird nachstehend unter Bezugnahme auf die Fig. 4 und 5B für den Fall erläutert, dass eine Phasendifferenz  $Q_2$  des verzögerten Taktsignals  $DCLK2$  gegenüber dem Referenztaktsignal  $RCLK2$  von  $\pi$  oder mehr vorliegt. Ähnlich zum Fall von Fig. 5A liegen die Ausgangssignale  $N46$  und  $N48$  der NAND-Gatter 49 und 51 anfänglich auf hohem Pegel. Das Phasenverschiebungs-Steuersignal  $INV$  liegt anfänglich auf niedrigem Pegel, und das Ausgangssignal  $N50$  des Inverters 55 liegt anfänglich auf hohem Pegel.

Wenn das verzögerte Taktsignal  $DCLK2$ , das ein Takteingangssignal für die Flip-Flops 45 und 47 generiert, auf einen hohen Logikpegel aktiviert wird, liegt das Referenztaktsignal  $RCLK2$  auf hohem Pegel, wie zu einem Zeitpunkt  $t_1$  in Fig. 5B dargestellt. Daher gelangt ein Ausgangssignal  $N46$  des NAND-Gatters 49 auf niedrigen Pegel. Das Ausgangssignal  $N48$  des NAND-Gatters 51 wird auf hohem Pegel gehalten. Daher wird das Phasenverschiebungs-Steuersignal  $INV$  auf einen hohen Logikpegel aktiviert. Das Initialisierungssignal  $INITB$  wird auf niedrigen Pegel aktiviert, und dann wird das Verzögerungssteuerungs-Freigabesignal  $BYE$  in Abhängigkeit von der zweiten ansteigenden Flanke des zum zweiten Mal aktivierten verzögerten Taktsignals  $DCLK2$  auf hohen Pegel aktiviert.

Wie oben erläutert, wird das Verzögerungssteuerungs-Freigabesignal  $BYE$  an einem Punkt aktiviert, an welchem die zwei Takte beide auf einem hohen Logikpegel liegen, nachdem die Aktivierung des Phasenverschiebungs-Steuersignals  $INV$  festgestellt wurde, und aktiviert die Verzögerungssteuereinheit 25, siehe Fig. 2. Das Phasenverschiebungs-Steuersignal  $INV$  wird aktiviert, wenn die Phasendifferenz des verzögerten Taktsignals  $DCLK2$  gegenüber dem Referenztaktsignal  $RCLK2$   $\pi$  oder mehr beträgt, und der Aktivierungszustand wird beibehalten, wenn die Phasendifferenz innerhalb von  $\pi$  liegt.

Fig. 6 zeigt als Blockschaltbild eine Realisierung der Verzögerungssteuereinheit 25 von Fig. 2. Wie daraus ersichtlich, beinhaltet diese Verzögerungssteuereinheit 25 eine Verschiebungssteuereinheit 61 und ein Schieberegister 63. Die Verschiebungssteuereinheit 61 wird durch Aktivierung des Verschiebungssteuerungs-Freigabesignals  $BYE$  akti-

den Pumpschaltung zugeführten Steuersignals verzögert.

dadurch gekennzeichnet, dass

- der Schaltkreis (22) für variable Verzögerung mehrere Verzögerungseinheiten umfasst und das Referenztaktsignal zur Erzeugung des Voraustaktsignals verzögert und
- eine Verzögerungssteuereinheit (25) vorgesehen ist, welche die Phasendifferenz eines mit dem Voraustaktsignal verknüpften Signals gegenüber dem Referenztaktsignal erfasst, um damit eine Zählsignalgruppe (QC) zu versorgen, welche die Anzahl wirksamer Verzögerungseinheiten im Schaltkreis für variable Verzögerung steuert, wobei die Anzahl aktivierter Verzögerungseinheiten der Schaltung für variable Verzögerung außerdem durch die Frequenz des Referenztaktsignals gesteuert wird.

9. Verzögerungssynchronisationsverfahren unter Verwendung einer Verzögerungsregelkreisschaltung nach einem der Ansprüche 1 bis 8 zur Erzeugung eines Voraustaktsignals (ICLK2) synchron zu einem Referenztaktsignal (RCLK2), gekennzeichnet durch folgende Schritte:

- a) Verzögern des Referenztaktsignals zur Erzeugung eines verzögerten Taktsignals (DCLK2),
- b) Feststellen, ob die Phasendifferenz zwischen dem verzögerten Taktsignal und dem Referenztaktsignal größer als ein vorgegebener Referenzphasenwert ist,
- c) Verschieben der Phase des verzögerten Taktsignals, wenn die Phasendifferenz größer als der Referenzphasenwert ist, um das Voraustaktsignal zu erzeugen, und
- d) Steuern des Maßes an Verzögerung des Referenztaktsignals im Schritt a.

10. Verzögerungssynchronisationsverfahren nach Anspruch 9, weiter dadurch gekennzeichnet, dass der Referenzphasenwert auf den Wert  $\pi$  gesetzt wird.

11. Verzögerungssynchronisationsverfahren für einen Schaltkreis für variable Verzögerung, der ein Voraustaktsignal synchron zu einem empfangenen Referenztaktsignal unter Verwendung mehrerer Verzögerungseinheiten erzeugt, gekennzeichnet durch folgende Schritte:

- Erfassen der Phasendifferenz eines mit einer Phase des Voraustaktsignals (ICLK2) verknüpften Rückkopplungssignals (FCLK2) gegenüber dem Referenztaktsignal (RCLK2),
- Invertieren der Phase des Rückkopplungssignals, wenn die Phasendifferenz größer als  $\pi$  ist,
- Steuern der Anzahl aktivierter Verzögerungseinheiten der Schaltung für variable Verzögerung in Abhängigkeit von einer Breite der Phasendifferenz und
- Verzögern des Referenztaktsignals um eine Verzögerungszeit, die in Abhängigkeit von der Richtung der Phasendifferenz variiert wird, um das Voraustaktsignal zu erzeugen.

Hierzu 7 Seite(n) Zeichnungen

FIG. 1 (STAND DER TECHNIK)

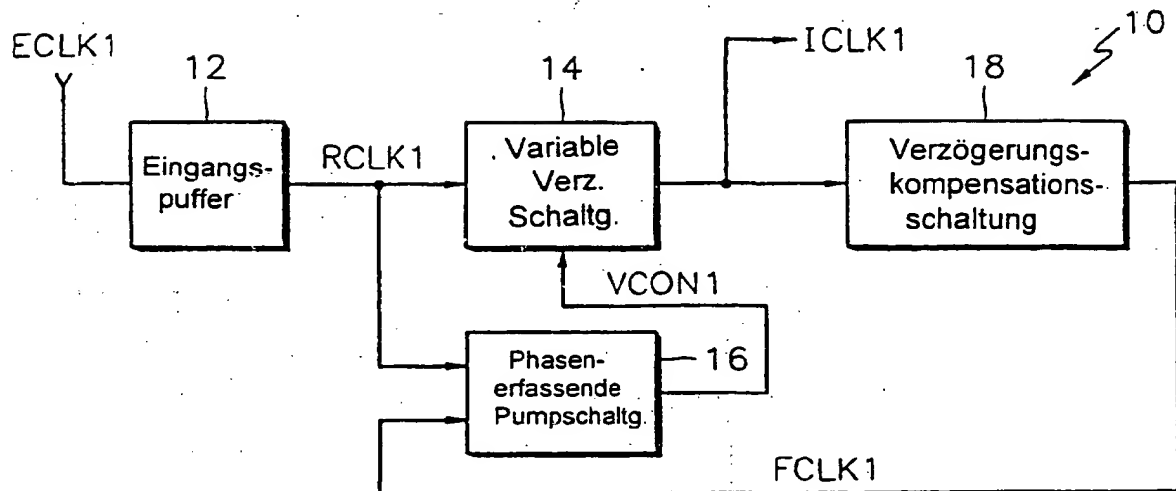


FIG. 2

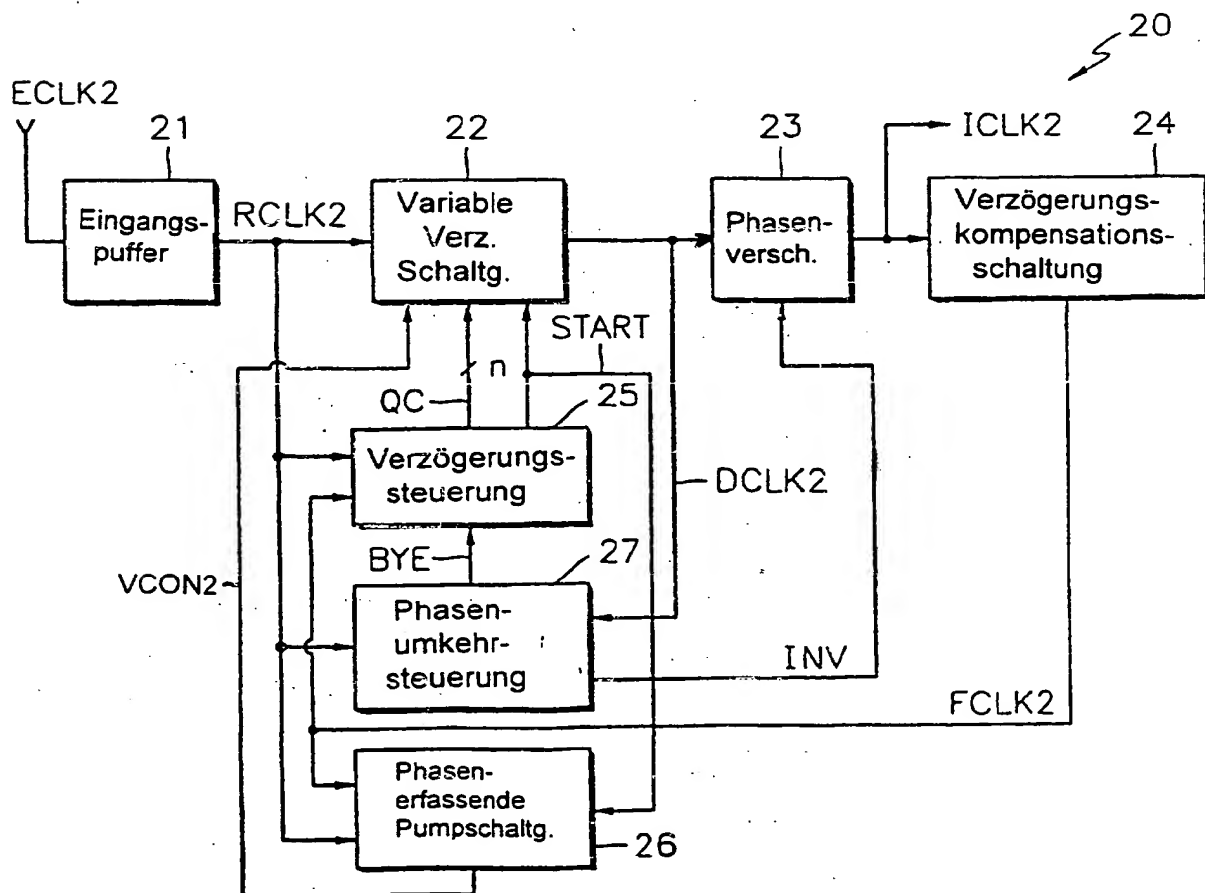


FIG 3

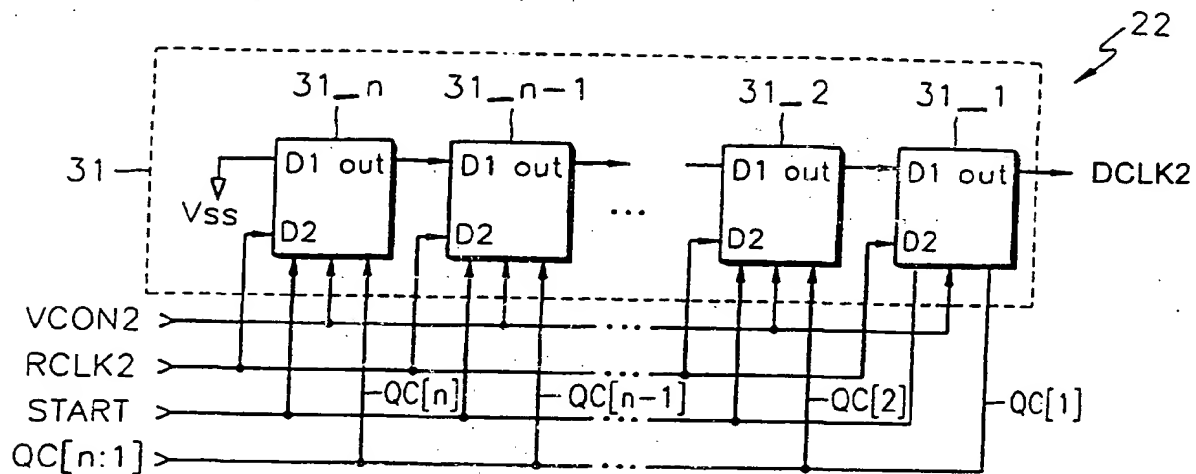


FIG. 4

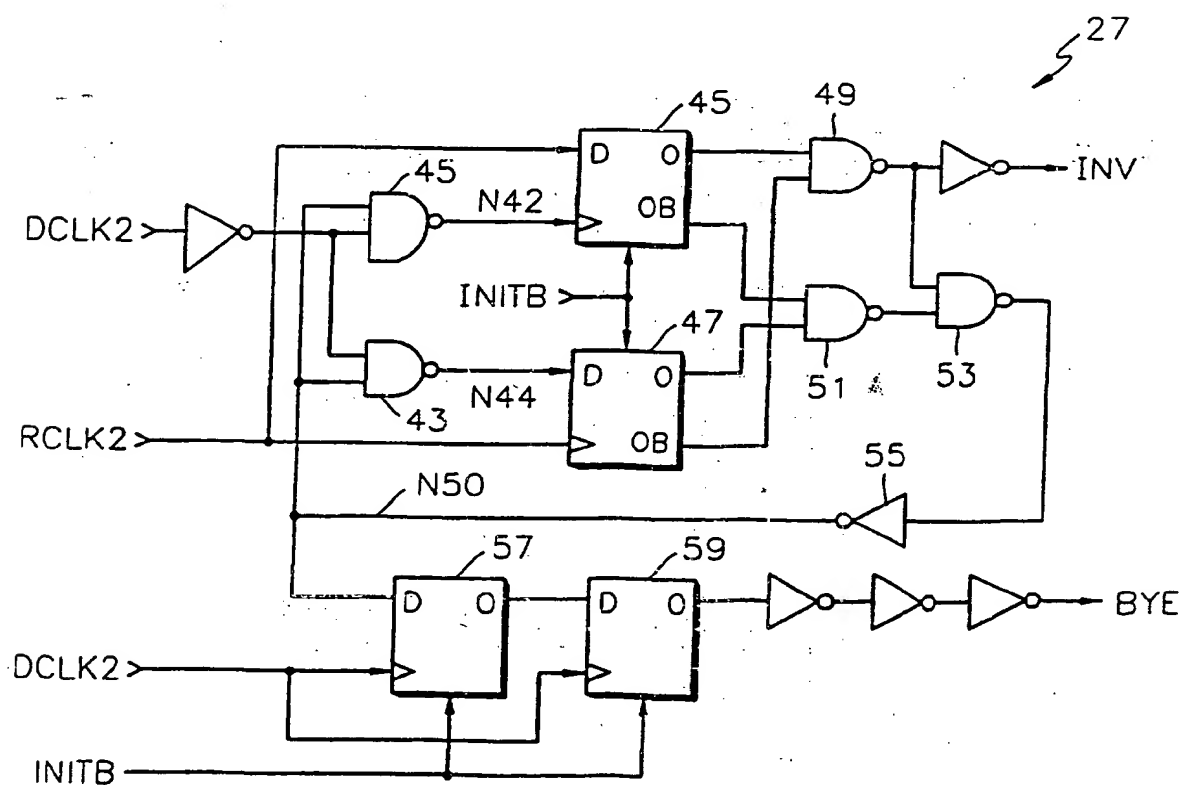


FIG. 5A

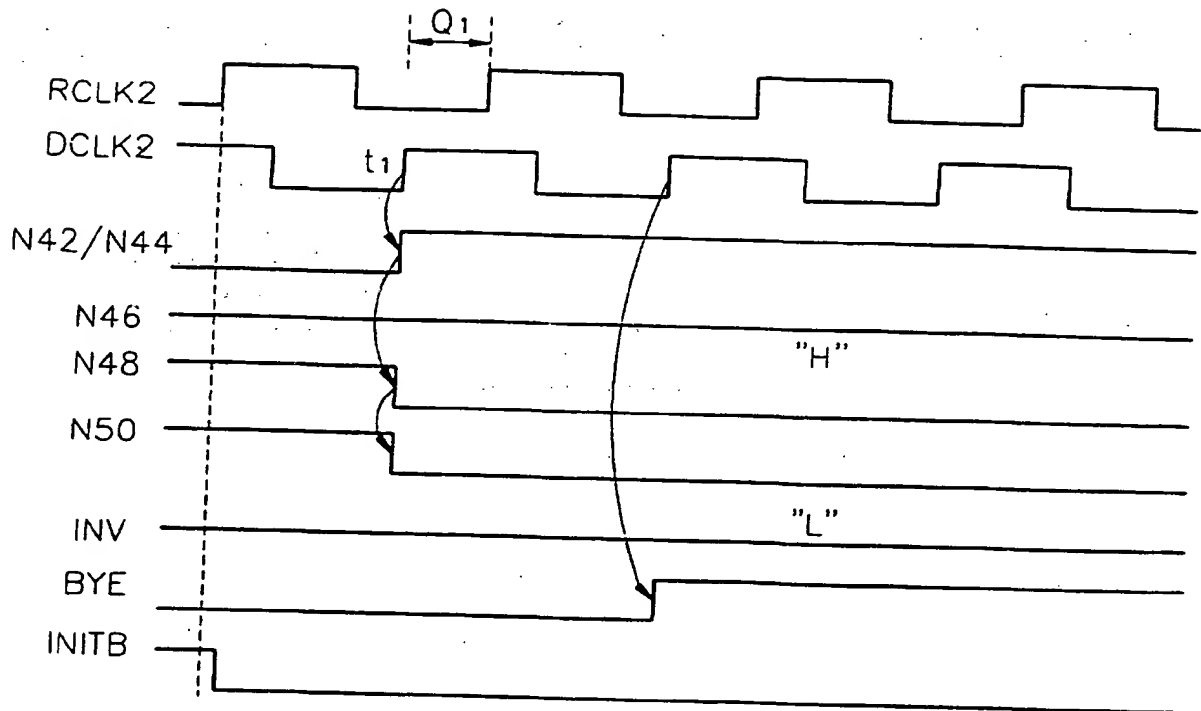


FIG. 5B

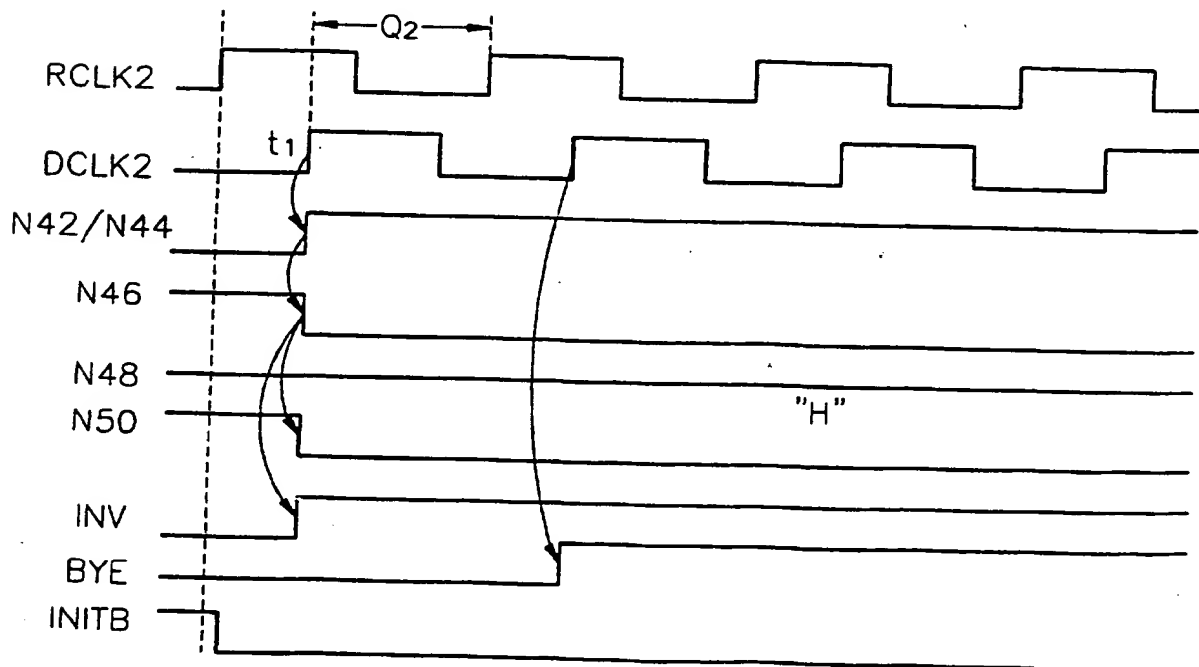


FIG. 6

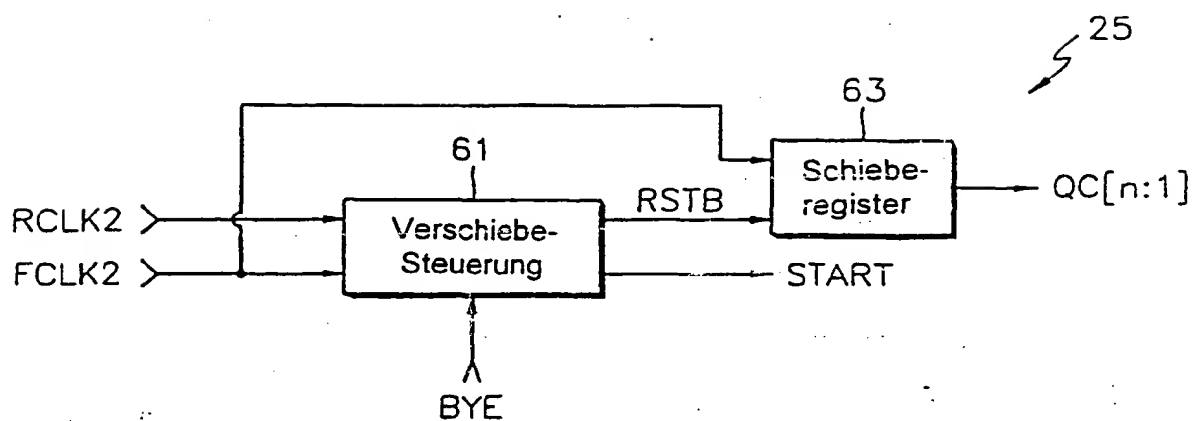


FIG. 7

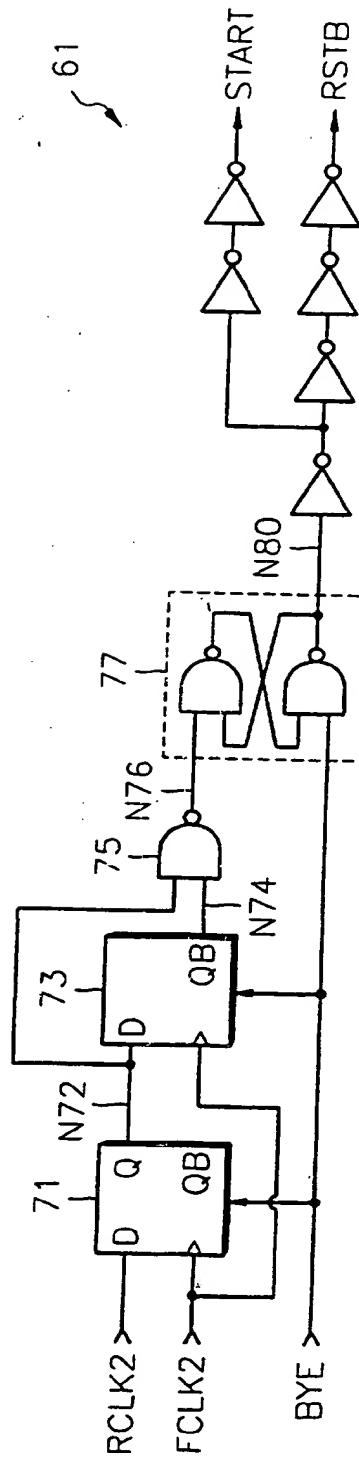




FIG. 8

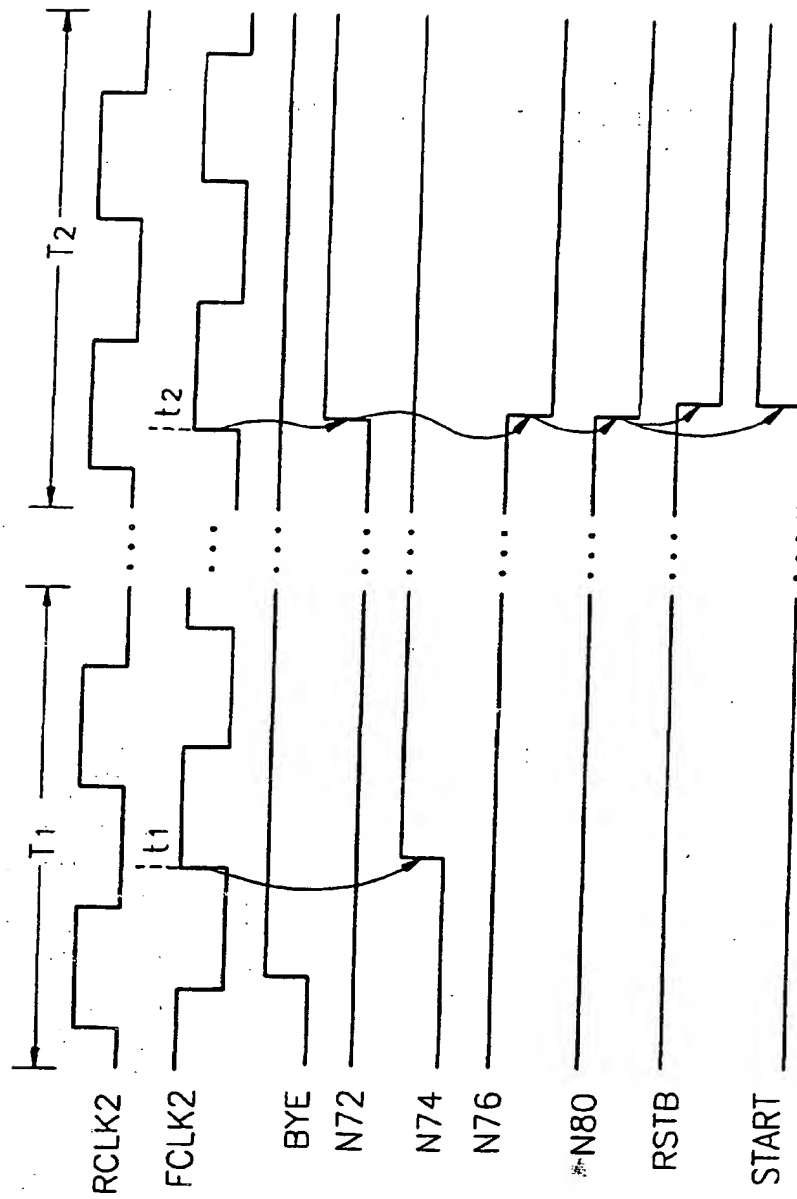


FIG. 9

